

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP408043857A
PAT-NO: JP408043857A
DOCUMENT-IDENTIFIER: JP 08043857 A
TITLE: PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: February 16, 1996

INVENTOR-INFORMATION:

NAME

HIRANO, TAKUYA

YANAI, KENICHI

WADA, TAMOTSU

HODATE, MARI

OGATA, HIROSHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP06177928

APPL-DATE: July 29, 1994

INT-CL_(IPC): G02F001/136; H01L029/786 ; H01L021/336

ABSTRACT:

PURPOSE: To produce a TFT substrate for an active matrix type liquid crystal display device which is wide in gaps between drain terminals and correspond to both side taking out of the terminals without increasing the number of photo-mask to be used.

CONSTITUTION: The drain terminals 1 consisting of ITO films and first conductive films, drain buses 3 formed integrally with the drain terminals, gate terminals 2 and pixel electrodes 4 are formed on an insulating substrate and thereafter, mask members is selectively deposited on at least the drain buses 3 by an electrochemical deposition method of impressing voltages on at least the drain buses 3 and selectively depositing the mask members in the parts impressed with the voltages. The first conductive films are etched away with the mask members as a mask to expose the ITO films which are the lower

layer conductive films of the pixel electrodes 4. The first conductive films on at least the drain terminals are partly etched away to expose the ITO films.

COPYRIGHT: (C)1996,JPC

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-43857

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 29/786				
21/336		9056-4M	H 0 1 L 29/ 78	6 1 2 D
審査請求 未請求 請求項の数11 O L (全 10 頁)				

(21) 出願番号 特願平6-177928

(22) 出願日 平成6年(1994)7月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 平野 琢也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 梁井 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 和田 保

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

最終頁に続く

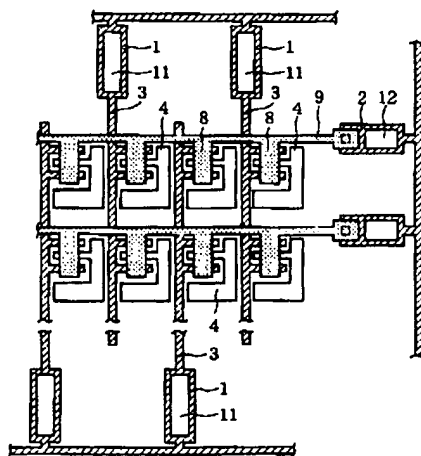
(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【目的】 液晶表示装置の製造方法に関し、使用するフォトリソマスク数を増やすことなく、ドレイン端子間のギャップの広い、端子両面取り出し対応のアクティブマトリクス型液晶表示装置用のTFT基板を製造する。

【構成】 絶縁性基板上にITO膜及び第1の導電膜からなるドレイン端子1、ドレイン端子と一体に形成されたドレインバス3、ゲート端子2、及び、画素電極4を設けた後、少なくとも前記ドレインバス3に電圧を印加して電圧が印加された部位にマスク部材を選択的に堆積させる電気化学的堆積法により、少なくとも前記ドレインバス3上に選択的にマスク部材を堆積させ、前記マスク部材をマスクとして前記第1の導電膜をエッチング除去して前記画素電極4の下層導電膜である前記ITO膜を露出させ、また、少なくとも前記ドレイン端子1上の前記第1の導電膜の一部をエッチングにより除去して前記ITO膜を露出させる。

本発明の第1の実施例であるTFTの製造方法の図3以降の製造工程を説明する図



- | | | |
|-----------|----------|------|
| 1: ドレイン端子 | 8: ゲート電極 | Cr膜 |
| 2: ゲート端子 | 9: ゲートバス | ITO膜 |
| 3: ドレインバス | 11: 開口部 | Al膜 |
| 4: 画素電極 | 12: 開口部 | |

【特許請求の範囲】

【請求項1】 薄膜トランジスタの電極として、絶縁性基板上にITO膜及びその上に設けた第1の導電膜からなるドレイン端子、前記ドレイン端子と一体に形成されたドレインバス、ゲート端子、及び、画素電極を設けたのち、少なくとも前記ドレインバスに電圧を印加して電圧が印加された部位にマスク部材を選択的に堆積させる電気化学的堆積法により、少なくとも前記ドレインバス上に選択的にマスク部材を堆積させ、前記マスク部材をマスクとして前記第1の導電膜をエッチング除去して前記画素電極の下層導電膜である前記ITO膜を露出させる工程、前記ドレイン端子上を含む基板上に前記薄膜トランジスタのゲート絶縁膜を形成する工程、及び、少なくとも前記ドレイン端子上の前記第1の導電膜の一部をエッチングにより除去して前記ITO膜を露出させる工程を有することを特徴とする液晶表示装置の製造方法。

【請求項2】 上記画素電極の下層導電膜である上記ITO膜を露出させる工程をゲート電極及びゲートバスの形成前に行うことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項3】 上記ゲート電極及び上記ゲートバスがアルミニウムからなることを特徴とする請求項2記載の液晶表示装置の製造方法。

【請求項4】 上記の少なくとも上記ドレインバスに電圧を印加する工程において、上記ゲート端子にも電圧を印加して、前記ゲート端子上にも選択的に上記マスク部材を堆積させることを特徴とする請求項2又は3記載の液晶表示装置の製造方法。

【請求項5】 上記画素電極の下層導電膜である上記ITO膜を露出させる工程をゲート電極及びゲートバスの形成後に行うことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項6】 上記ゲート電極及び上記ゲートバスがアルミニウムからなることを特徴とする請求項5記載の液晶表示装置の製造方法。

【請求項7】 上記の少なくとも上記ドレインバスに電圧を印加する工程が、前記ドレインバスにのみ電圧を印加する工程であり、上記画素電極の下層導電膜である上記ITO膜を露出させる際に、上記ゲート端子上の上記第1の導電膜も除去して前記ITO膜を露出させることを特徴とする請求項5又は6記載の液晶表示装置の製造方法。

【請求項8】 上記電気化学的堆積法が電着レジスト法であることを特徴とする請求項1乃至7のいずれか1項に記載の液晶表示装置の製造方法。

【請求項9】 上記第1の導電膜がCr膜であることを特徴とする請求項1乃至8のいずれか1項に記載の液晶表示装置の製造方法。

【請求項10】 上記ドレイン端子上の上記第1の導電膜の一部を除去して上記ITO膜露出させる工程に先立

って、前記ドレイン端子、上記ドレインバス、上記ゲート端子、及び、上記画素電極上にプラズマCVD法によって、コンタクト層を選択的に堆積させる工程を有することを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項11】 上記コンタクト層の堆積後に、アモルファスシリコン活性層及びゲート絶縁膜を連続的に堆積させることを特徴とする請求項10記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置の製造方法に関するものであり、特に、アクティブマトリクス型液晶表示装置のTFT（薄膜トランジスタ）基板の端子部の製造方法に関するものである。

【0002】

【従来の技術】従来、薄型の情報端末表示装置として液晶表示装置が使用されており、この液晶表示装置としては、アクティブマトリクス型液晶表示装置と単純マトリクス型液晶表示装置がある。

【0003】この内、アクティブマトリクス型液晶表示装置は、多数の画素をそれぞれ単独に駆動するのと同様な動作をさせることができるので、表示容量の増大に伴ってライン数が増加しても単純マトリクス型液晶表示装置のようにデューティー比が低下し、コントラストの低下や視野角の減少をきたすなどの問題が生じない。このため、アクティブマトリクス型液晶表示装置は、CRT並のカラー表示が得られ、薄型のフラットディスプレイとして用途を広げつつある。

【0004】従来のアクティブマトリクス型液晶表示装置においては、タブ方式の外部端子と接続するドレイン端子及びゲート端子は、接続後の信頼性のためITO（インジウム・スズ酸化物からなる透明電極）であることが要求されており、そのためにその製造工程においては、ドレインバスに電圧を印加する電気化学的堆積法を用いることにより、少ないマスク数でITO端子を含む端子両面取り出し対応のTFT基板を作製していた。

【0005】図9乃至図12は、従来のアクティブマトリクス型液晶表示装置を構成するTFT（薄膜トランジスタ）基板の電極、配線、及び、端子の製造工程を説明する図である。なお、図10及び図11の中間工程においては図9に示す一点鎖線内の要素についてのみ説明するが、全ての要素について要素の種類が同じであれば同じ処理をし、同じ構成になるものである。

【0006】まず、図9に示すように、絶縁性基板上に、ITO及びその上にCrを設け、通常のフォトリソグラフィー工程によってパターンニングすることにより島状のドレイン端子1、島状のゲート端子2、ドレインバス3、及び、画素電極4を形成する。

【0007】次いで、図10(a)に示すように、ドレ

インバス3に電圧を印加する電気化学的堆積法、即ち、電着レジスト法により、ドレインバス3上にレジスト膜（図示せず）を堆積させ、このレジスト膜をマスクとしてCrをエッチングすることにより、島状のドレイン端子1、島状のゲート端子2、及び、画素電極4の各々の下層導電膜であるITOを露出させる。

【0008】次いで、図10(b)に示すように、 n^+ 型 α -Si（アモルファスシリコン）等のコンタクト層をCr及びITO上に選択的に堆積させ、続いて全面に α -Si等の活性層、及び、SiN等のゲート絶縁膜を連続成膜させた後、ドレインバス3とドレイン端子1とを接続するためのコンタクトホール5、6、及び、ゲートバスとゲート端子2とを接続するためのコンタクトホール7とを、通常のフォトリソグラフィ工程によって形成する。

【0009】次いで、図11に示すように、アルミニウム等の導電膜を堆積したのち、通常のフォトリソグラフィ工程によってパターニングすることによりゲート電極8、ゲートバス9、及び、ドレイン端子1とドレインバス3とを接続する架橋10を形成する。

【0010】次いで、図12に示すように、アルミニウム等の導電膜からなるゲート電極8、ゲートバス9、及び、架橋10をマスクとしてゲート絶縁膜及び活性層をエッチングすることによりTFT基板を完成するものである。なお、各ドレインバス3が接続する基板の上下に走る配線層は、TFT基板の完成後に切断して各ドレインバス単位に分離する必要がある。

【0011】

【発明が解決しようとする課題】しかしながら、図12の構造の場合に、ドレイン端子1間にドレインバス3が存在することにより、ドレイン端子1間の実質的ギャップW（即ち、ドレインバスの側端と隣接するドレイン端子の前記側端に対向する側端との間隔）が狭くなり、外部端子との接続の際に、高い位置合わせ精度が要求される等の問題があった。

【0012】したがって、本発明は、製造工程を工夫することにより、使用するフォトマスク数を増やすことなく、ドレイン端子間のギャップの広い、端子両面取り出し対応のアクティブマトリクス型液晶表示装置用のTFT基板を製造することを目的とする。

【0013】

【課題を解決するための手段】本発明は、液晶表示装置の製造工程において、薄膜トランジスタの電極として、絶縁性基板上にITO膜及びその上に設けた第1の導電膜からなるドレイン端子（図4の1）、前記ドレイン端子と一体に形成されたドレインバス（図4の3）、ゲート端子（図4の2）、及び、画素電極（図4の4）を設けたのち、少なくとも前記ドレインバス（図4の3）に電圧を印加して電圧が印加された部位にマスク部材を選択的に堆積させる電気化学的堆積法により、少なくとも

前記ドレインバス（図4の3）上に選択的にマスク部材を堆積させ、前記マスク部材をマスクとして前記第1の導電膜をエッチング除去して前記画素電極の下層導電膜である前記ITO膜を露出させ、さらに、少なくとも前記ドレイン端子（図4の1）上の前記第1の導電膜の一部をエッチングにより除去して前記下層導電膜である前記ITO膜を露出させることを特徴とするものである。

【0014】

【作用】画素電極の下層導電膜であるITO膜を露出させる際に、電気化学的堆積法を用いているので、フォトリソグラフィ工程において使用するフォトマスク数を増加することがなく、且つ、電気化学的堆積法を用いないエッチング工程によりドレイン端子のITO膜を露出させているので、ドレイン端子とドレインバスとを一体に形成することができ、ドレインバスのドレイン端子と平行に走る部分が不要になるので、端子両面取り出し対応の液晶表示装置において、ドレイン端子間のギャップを広くすることができる。

【0015】

【実施例】図1乃至図4は、本発明の第1実施例であるTFTを形成する前に電着レジスト工程を行う液晶表示装置の製造工程を説明する図である。なお、従来例の説明と同様に図2及び図3の中間工程においては図1に示す一点鎖線内の要素についてのみ説明する。

【0016】先ず、図1に示すように、絶縁性基板上に500ÅのITO及び1500ÅのCrをスパッタ法によって連続成膜し、通常のフォトリソグラフィ工程によってパターニングすることによりドレイン端子1、ゲート端子2、ドレイン端子と一体に形成されたドレインバス3、及び、画素電極4を形成する。

【0017】なお、この場合、上記ITOの膜厚は、300～700Åであれば良く、また、Crの膜厚は、1000～2000Åであれば良いものである。

【0018】次いで、基板を電着レジスト液に浸してドレインバス3（従って、ドレイン端子1）とゲート端子2とに6Vの電圧を20秒間印加することにより、ドレイン端子1、ドレインバス3、及び、ゲート端子2の上面に電着レジストを付着させる（図示せず）。

【0019】次いで、図2(a)に示すように、付着させた電着レジストをマスクとしてCrエッチャント、例えば、硝酸第2セリウムアンモニウム及び過塩素酸を含む水溶液を用いてエッチングすることによりCrを除去し、画素電極4の下層導電膜であるITO膜を露出させる。

【0020】次いで、図2(b)に示すように、電着レジストを剥離したのち、プラズマCVD法により基板のITO膜及びCr膜上のみに n^+ 型 α -Siコンタクト層を選択的に堆積させ、続いて全面に α -Si活性層、及び、SiNゲート絶縁膜を連続成膜させる。次いで、ドレイン端子1の中央の開口部11、ゲート端子2の中

5

央の開口部12、及び、ゲートバスとゲート端子2とを接続するためのコンタクトホール13とを通常のフォトリソグラフィ工程によって形成する。

【0021】なお、上記の n^+ 型 α -Siコンタクト層の選択的堆積工程は、連続的な水素プラズマ雰囲気中に、間欠的にフォスフィン(PH_3)及びシラン(SiH_4)を導入するプラズマCVD法によるものであり、水素プラズマ的作用によって導電膜上への選択的堆積が可能になる。

【0022】次いで、図3(a)に示すように、スパッタ法により3000Åのアルミニウムを堆積したのち、通常のフォトリソグラフィ工程によってパターンニングすることによりゲート電極8及びゲートバス9を形成する。なお、上記アルミニウムの膜厚は、2000~4000Åであれば良い。

【0023】次いで、図3(b)に示すように、基板をCrエッチャントに浸し、ドレイン端子1の中央の開口部11及びゲート端子2の中央の開口部12に露出しているCr膜を除去し、その下にあるITO膜を露出させる。この場合、ゲート絶縁膜が実質的にエッチングマスクとなる。

【0024】次いで、図4に示すように、アルミニウムからなるゲート電極8及びゲートバス9をマスクとして、SiNゲート絶縁膜、 α -Si活性層、及び、 n^+ 型 α -Siコンタクト層を一括エッチングすることによりTFT基板が完成する。なお、この場合も、各ドレイン端子1が接続する基板の上下に走る配線層、及び、各ゲート端子が接続する配線層は、TFT基板の完成後に切断して各ドレイン端子単位及び各ゲート端子単位に分離する必要がある。

【0025】次に示す、図5乃至図8は本発明の第2の実施例であるTFTを形成した後に電着レジスト工程を行う液晶表示装置の製造工程を説明する図であり、従来例の説明と同様に図6及び図7の中間工程においては図5に示す一点鎖線内の要素についてのみ説明する。

【0026】まず、図5に示すように、第1の実施例と同様に絶縁性基板上に500ÅのITO及び1500ÅのCrをスパッタ法によって連続成膜し、通常のフォトリソグラフィ工程によってパターンニングすることによりドレイン端子1、島状のゲート端子2、ドレイン端子と一体に形成されたドレインバス3、及び、画素電極4を形成する。

【0027】なお、この場合も、上記ITOの膜厚は、300~700Åであれば良く、また、Crの膜厚は、1000~2000Åであれば良いものである。

【0028】次いで、図6(a)に示すように、プラズマCVD法によりCr上のみに n^+ 型 α -Siコンタクト層を選択的に堆積させ、続いて全面に α -Si活性層、及び、SiNゲート絶縁膜を連続成膜させる。次いで、ドレイン端子1の中央の開口部11、ゲート端子2

6

の中央の開口部12、及び、ゲートバスとゲート端子2とを接続するためのコンタクトホール13とを、通常のフォトリソグラフィ工程によって形成する。

【0029】次いで、図6(b)に示すように、スパッタ法により3000Åのアルミニウムを堆積したのち、通常のフォトリソグラフィ工程によってパターンニングすることによりゲート電極8及びゲートバス9を形成する。なお、上記アルミニウムの膜厚は、2000~4000Åであれば良い。

【0030】次いで、図7(a)に示すように、基板をCrエッチャントに浸し、ドレイン端子1の中央の開口部11及びゲート端子2の中央の開口部12に露出しているCr膜を除去し、その下にあるITO膜を露出させる。この場合も、ゲート絶縁膜が実質的にエッチングマスクとなる。

【0031】次いで、図7(b)に示すように、アルミニウムからなるゲート電極8及びゲートバス9をマスクとしてSiNゲート絶縁膜、 α -Si活性層、及び、 n^+ 型 α -Siコンタクト層を一括エッチングすることによりCr膜を露出させる。

【0032】次いで、基板を電着レジスト液に浸してドレインバス3(従って、ドレイン端子1)に6Vの電圧を20秒間印加することにより、ドレイン端子1及びドレインバス3の上に電着レジストを付着させる(図示せず)。

【0033】次いで、図8に示すように、電着レジストをマスクとしてCrエッチャントにより露出しているCr膜をエッチング除去して画素電極4の下層導電膜であるITO膜を露出させ、最後に、電着レジストを剥離することによりTFT基板が完成する。なお、この場合も、各ドレイン端子1が接続する基板の上下に走る配線層は、TFT基板の完成後に切断して各ドレイン端子単位に分離する必要がある。

【0034】なお、上記各実施例において、電気化学的堆積法として電着レジスト法を用いているが、Cr及びITOに対して選択エッチング性のある導電膜を電解メッキ法により選択的に付着させ、この導電膜をCrのエッチングの際のマスクとしても良いものである。また、この電解メッキ法は最初の電極パターン形成時に用いることもできる。即ち、上記実施例においては、ITOとCrを堆積したのちパターンニングしているが、ITOのみを堆積させてパターンニングしたのち電解メッキ法でITO上にCrを選択的に堆積させて、ITOとCrとからなる2層電極膜を形成してもよい。

【0035】更に、上記本発明の各実施例においては、ゲート絶縁膜としてSiNを用いており、この「SiN」は通常の Si_3N_4 或いはこれに組成の近いシリコン窒化膜を表すものであるが、このようなシリコン窒化膜に限定されるものでなく、シリコン酸化膜やアルミナ等の他の絶縁膜でも良く、また、TFTの材料としては

α -Si 以外に、Ge (ゲルマニウム) 或いはC (炭素) を含んだSi からなるアモルファス半導体でも良い。

【0036】

【発明の効果】本発明によれば、従来の製造方法と同じフォトリソ数で、ドレイン端子間ギャップを広くすることができるので、アクティブマトリクス型液晶表示装置を高精細化することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例であるTFT基板の製造方法の途中までの製造工程を説明する図である。

【図2】本発明の第1の実施例であるTFT基板の製造方法の図1以降の製造工程を説明する図である。

【図3】本発明の第1の実施例であるTFT基板の製造方法の図2以降の製造工程を説明する図である。

【図4】本発明の第1の実施例であるTFT基板の製造方法の図3以降の製造工程を説明する図である。

【図5】本発明の第2の実施例であるTFT基板の製造方法の途中までの製造工程を説明する図である。

【図6】本発明の第2の実施例であるTFT基板の製造方法の図5以降の製造工程を説明する図である。

【図7】本発明の第2の実施例であるTFT基板の製造方法の図6以降の製造工程を説明する図である。

【図8】本発明の第2の実施例であるTFT基板の製造方法の図7以降の製造工程を説明する図である。

【図9】従来のTFT基板の製造方法の途中までの製造

工程を説明する図である。

【図10】従来のTFT基板の製造方法の図9以降の製造工程を説明する図である。

【図11】従来のTFT基板の製造方法の図10以降の製造工程を説明する図である。

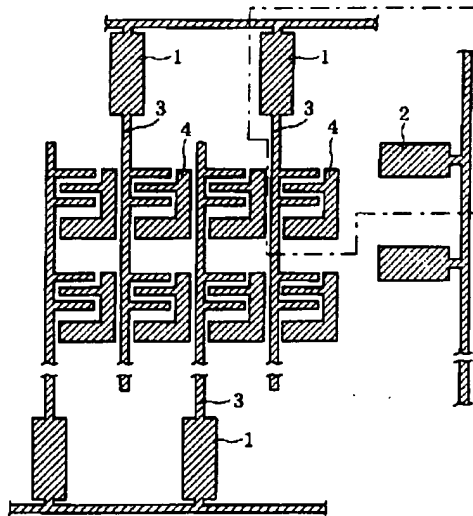
【図12】従来のTFT基板の製造方法の図11以降の製造工程を説明する図である。

【符号の説明】

- 1 ドレイン端子
- 2 ゲート端子
- 3 ドレインバス
- 4 画素電極
- 5 ドレインバスとドレイン端子とを接続するためのコンタクトホール
- 6 ドレインバスとドレイン端子とを接続するためのコンタクトホール
- 7 ゲートバスとゲート端子とを接続するためのコンタクトホール
- 8 ゲート電極
- 9 ゲートバス
- 10 架橋
- 11 ドレイン端子の中央の開口部
- 12 ゲート端子の中央の開口部
- 13 ゲートバスとゲート端子とを接続するためのコンタクトホール

【図1】

本発明の第1の実施例であるTFTの製造方法の途中までの製造工程を説明する図

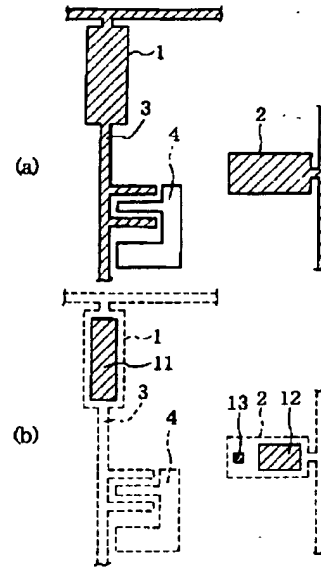


- 1: ドレイン端子
2: ゲート端子
3: ドレインバス
4: 画素電極

Cr膜

【図2】

本発明の第1の実施例であるTFTの製造方法の図1以降の製造工程を説明する図



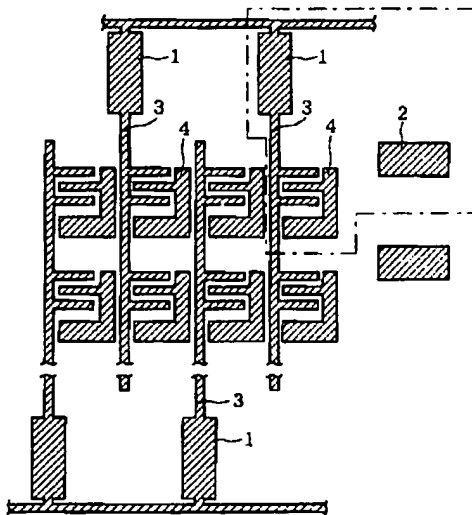
- 1: ドレイン端子 11: 開口部
2: ゲート端子 12: 開口部
3: ドレインバス 13: コンタクトホール
4: 画素電極

Cr膜

ITO膜

【図5】

本発明の第2の実施例であるTFTの製造方法の途中までの製造工程を説明する図

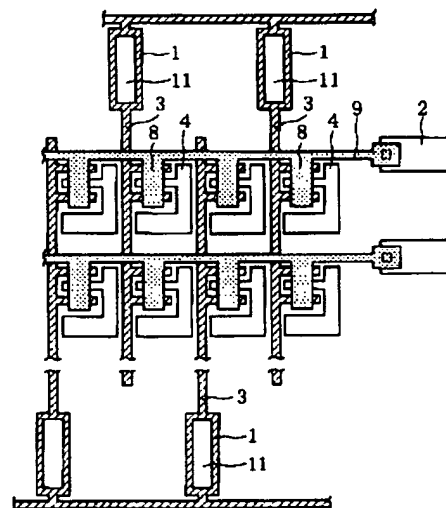


- 1: ドレイン端子
2: ゲート端子
3: ドレインバス
4: 画素電極

Cr膜

【図8】

本発明の第2の実施例であるTFTの製造方法の図7以降の製造工程を説明する図



- 1: ドレイン端子 8: ゲート電極
2: ゲート端子 9: ゲートバス
3: ドレインバス 11: 開口部
4: 画素電極

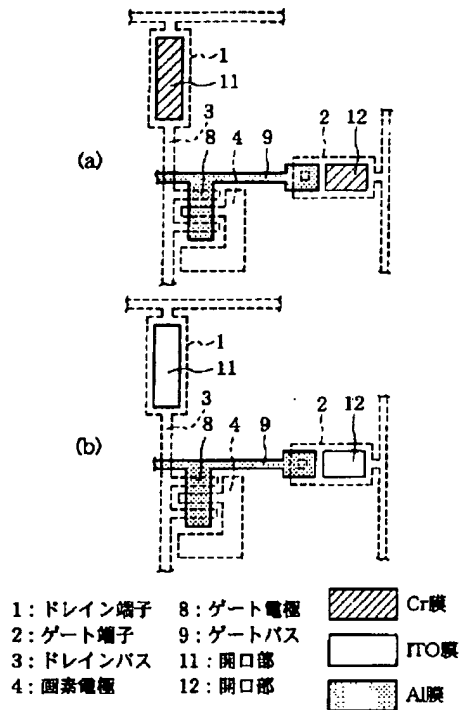
Cr膜

Al膜

ITO膜

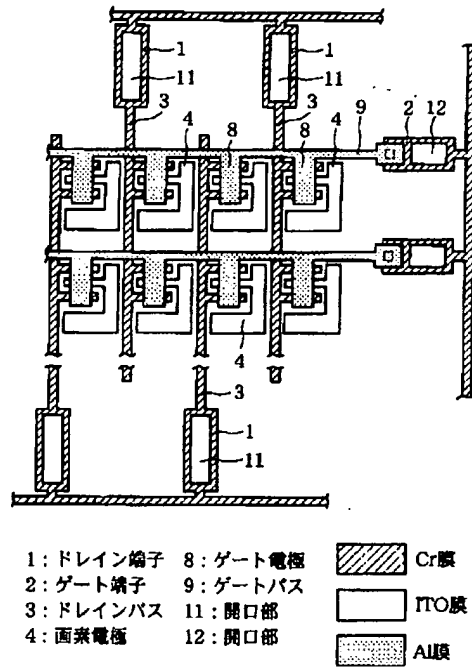
【図3】

本発明の第1の実施例であるTFTの製造方法の
図2以降の製造工程を説明する図



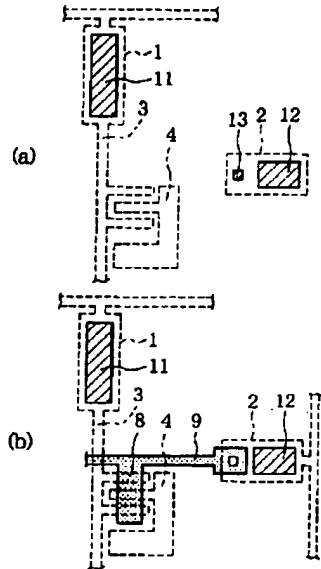
【図4】

本発明の第1の実施例であるTFTの製造方法の
図3以降の製造工程を説明する図



【図6】

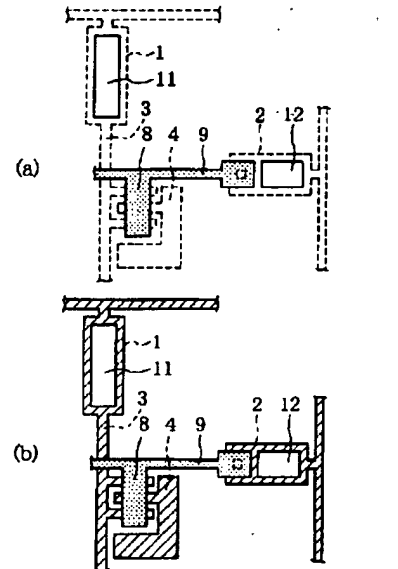
本発明の第2の実施例であるTFTの製造方法の
図5以降の製造工程を説明する図



- | | | | |
|--------------|----------|--|------|
| 1: ドレイン端子 | 8: ゲート電極 | | Cr膜 |
| 2: ゲート端子 | 9: ゲートバス | | Al膜 |
| 3: ドレインバス | 11: 開口部 | | ITO膜 |
| 4: 画素電極 | 12: 開口部 | | Al膜 |
| 13: コンタクトホール | | | |

【図7】

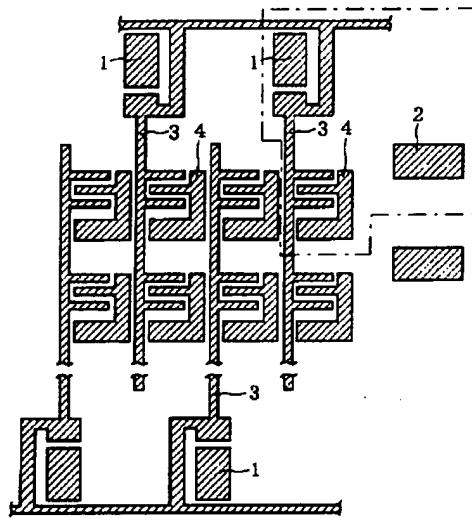
本発明の第2の実施例であるTFTの製造方法の
図6以降の製造工程を説明する図



- | | | | |
|-----------|----------|--|------|
| 1: ドレイン端子 | 8: ゲート電極 | | Cr膜 |
| 2: ゲート端子 | 9: ゲートバス | | Al膜 |
| 3: ドレインバス | 11: 開口部 | | ITO膜 |
| 4: 画素電極 | 12: 開口部 | | Al膜 |

【図9】

従来のTFTの製造方法の途中までの
製造工程を説明する図

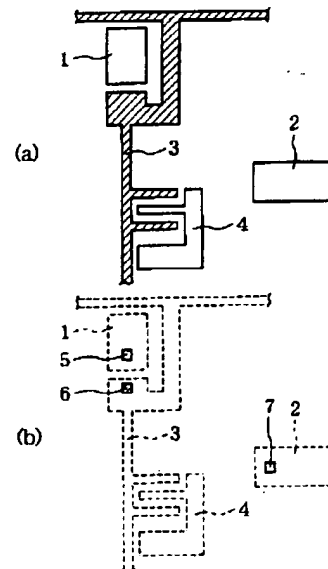


- 1: ドレイン端子
2: ゲート端子
3: ドレインバス
4: 画素電極

Cr膜

【図10】

従来のTFTの製造方法の図9以降の製造工程を
説明する図



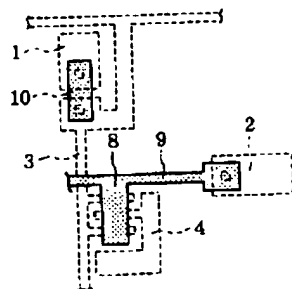
- 1: ドレイン端子 5: コンタクトホール
2: ゲート端子 6: コンタクトホール
3: ドレインバス 7: コンタクトホール
4: 画素電極

Cr膜

ITO膜

【図11】

従来のTFTの製造方法の図10以降の製造工程を
説明する図

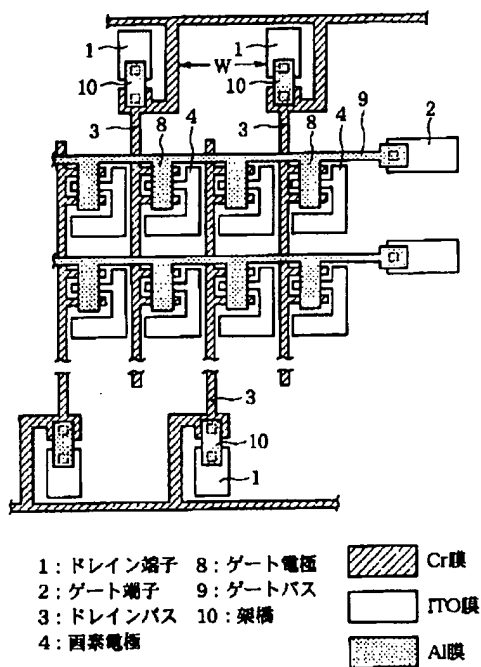


- 1: ドレイン端子 8: ゲート電極
2: ゲート端子 9: ゲートバス
3: ドレインバス 10: 架橋
4: 画素電極

Al膜

【図12】

本発明のTFTの製造方法の図11以降の
製造工程を説明する図



フロントページの続き

(72)発明者 南立 真理
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 大形 公士
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内